

?s pn=jp 09073093

S2 1 PN=JP 09073093

?type 2/5/1

2/5/1

DIALOG(R)File 352:DERWENT WPI

(c)1999 Derwent Info Ltd. All rts. reserv.

011254648 **Image available**

WPI Acc No: 97-232551/199721

Related WPI Acc No: 97-232546; 97-232557

XRPX Acc No: N97-192180

LCD device with pillar like spacing structure - has pillar like spacers formed such that their density in area outside display is higher than density in display area

Patent Assignee: TOSHIBA DENSHI ENG KK (TOSN); TOSHIBA KK (TOKE)

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
-----------	------	------	-------------	------	------	----------	------

JP 9073093	A	19970318	JP 95228968	A	19950906	G02F-001/1339	199721 B
------------	---	----------	-------------	---	----------	---------------	----------

KR 97016705	A	19970428	KR 9639204	A	19960906	G02F-001/1339	199818
-------------	---	----------	------------	---	----------	---------------	--------

Priority Applications (No Type Date): JP 95228968 A 19950906; JP 95228969 A 19950906; JP 95229526 A 19950906

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
--------	------	-----	----	--------------	-------------	--------

JP 9073093	A		6			
------------	---	--	---	--	--	--

Abstract (Basic): JP 9073093 A

The device includes a first substrate and a second substrate supporting a liquid crystal (3). A pillar like spacer maintains the space between the substrates. Transparent electrodes on the first and the second substrate, provide voltage to the liquid crystal.

The density of the number of pillar like spacers formed in the area outside display is higher than the density of the spacer is formed in the display area. Display is not performed to the periphery of the display area. Display is performed in the display area existing inside.

ADVANTAGE - Prevents poor display by poor cell gap during bonding time.

Dwg.1/8

Title Terms: LCD; DEVICE; PILLAR; SPACE; STRUCTURE; PILLAR; SPACE; FORMING;

DENSITY; AREA; DISPLAY; HIGH; DENSITY; DISPLAY; AREA

Derwent Class: P81; U14

International Patent Class (Main): G02F-001/1339

International Patent Class (Additional): G02F-001/1343; G02F-001/136

File Segment: EPI; EngPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-73093

(43) 公開日 平成9年(1997)3月18日

(51) IntCl ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/1339	5 0 0	G 0 2 F 1/1339	5 0 0
	1/1343		1/1343	
	1/136	5 0 0	1/136	5 0 0

審査請求 未請求 請求項の数11 O L (全 6 頁)

(21) 出願番号 特願平7-228968

(22) 出願日 平成7年(1995)9月6日

(71) 出願人 000221339

東芝電子エンジニアリング株式会社
神奈川県川崎市川崎区日進町7番地1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 宮崎 大輔

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 長谷川 誠

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74) 代理人 弁理士 外川 英明

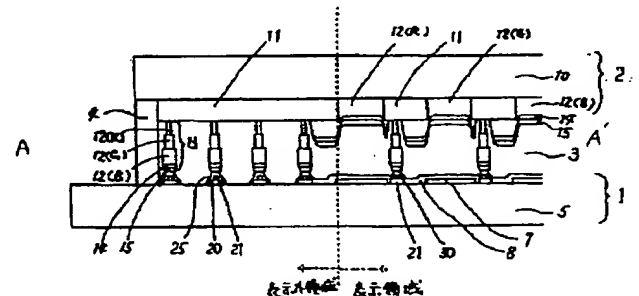
最終頁に続く

(54) 【発明の名称】 液晶表示装置、及びその製造方法

(57) 【要約】

【課題】 本発明は、液晶表示装置のセルギャップ不良による表示不良を改善することを目的とする。

【解決手段】 柱状スペーサー13を表示外領域にも形成し、表示外領域は柱状スペーサー13の本数を密にする。または、表示外領域は柱状スペーサー13の太さを太くする。これにより、アレイ基板1と対向基板2との貼り合わせの時に基板周辺部に強い圧力が掛かってもセルギャップが正常に保たれ、表示不良を防止することができる。



【特許請求の範囲】

【請求項1】 第1の基板と第2の基板とに液晶が挟持され、

前記第1の基板には、前記第1の基板と前記第2の基板との間隔を保つ複数の柱状スペーサーと、前記液晶に電圧を与える第1の透明電極とを備え、

前記第2の基板には前記液晶に電圧を与える第2の透明電極を備えた液晶表示装置において、

前記液晶表示装置は外周部に表示を行わない表示外領域と、その内側に表示を行う表示領域とが存在し、前記表示外領域に形成された前記柱状スペーサーの本数の密度は、前記表示領域に形成された前記柱状スペーサーの本数の密度より高いことを特徴とする液晶表示装置。

【請求項2】 前記表示外領域に形成された柱状スペーサーの本数の密度は前記表示領域から遠ざかるほど高いことを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記表示外領域は表示領域からの距離により複数の領域に分割され、分割された領域のうち表示領域から遠い領域ほど前記柱状スペーサーの本数の密度が高いことを特徴とする請求項1記載の液晶表示装置。

【請求項4】 第1の基板と第2の基板とに液晶が挟持され、

前記第1の基板には、前記第1の基板と前記第2の基板との間隔を保つ複数の柱状スペーサーと、前記液晶に電圧を与える第1の透明電極とを備え、

前記第2の基板には前記液晶に電圧を与える透明電極を備えた液晶表示装置において、

前記液晶表示装置は外周部に表示を行わない表示外領域と、その内側に表示を行う表示領域とが存在し、前記表示外領域に形成された前記柱状スペーサーの体積が、前記表示領域に形成された前記柱状スペーサーの体積より大きいことを特徴とする液晶表示装置。

【請求項5】 前記表示外領域に形成された柱状スペーサーの体積は前記表示領域から遠ざかるほど大きいことを特徴とする請求項4記載の液晶表示装置。

【請求項6】 前記表示外領域は表示領域からの距離により複数の領域に分割され、分割された領域のうち表示領域から遠い領域ほど前記柱状スペーサーの体積が大きいことを特徴とする請求項4記載の液晶表示装置。

【請求項7】 前記第2の基板には、前記柱状スペーサーの当たる領域にダミーパターンが形成されていることを特徴とする請求項1または4記載の液晶表示装置。

【請求項8】 第1の基板と第2の基板とに液晶が挟持され、前記第1の基板には、前記第1の基板と前記第2の基板との間隔を保つ複数の柱状スペーサーと、第1の透明電極とを備え、

前記第2の基板には、ゲート線、ゲート絶縁膜、信号線を含む薄膜トランジスタと、第2の透明電極とを備えた液晶表示装置の製造方法であって、

前記第2の基板の製造工程は、

前記薄膜トランジスタを形成する工程の一部で、前記柱状スペーサーと当たる領域にダミーパターンを形成することを特徴とする液晶表示装置の製造方法。

【請求項9】 前記ダミーパターンを形成する工程は、前記ゲート線を形成する工程と、前記ゲート絶縁膜を形成する工程とからなることを特徴とする請求項8記載の液晶表示装置の製造方法。

【請求項10】 前記ダミーパターンを形成する工程は、前記ゲート絶縁膜を形成する工程と、前記信号線を形成する工程とからなることを特徴とする液晶表示装置の製造方法。

【請求項11】 第1の基板と第2の基板とに液晶が挟持され、前記第1の基板には、前記第1の基板と前記第2の基板との間隔を保つ複数の柱状スペーサーと、第1の透明電極とを備えた液晶表示装置であって、

前記第1の基板に前記柱状スペーサーを形成する工程と、

前記第2の基板の前記柱状スペーサーが当たる領域にダミーパターンを形成する工程と、

前記第1の基板と前記第2の基板を貼り合わせる工程と、

前記貼り合わされた第1及び第2の基板を切り落とす工程と、を含む液晶表示装置の製造方法において、

前記柱状スペーサーを形成する工程で前記第1の基板の切り落とされる領域にも前記柱状スペーサーを形成し、前記ダミーパターンを形成する工程で、前記切り落とされる領域に形成された柱状スペーサーの当たる領域にもダミーパターンを形成することを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に係り、詳しくは柱状スペーサー構造を持つ液晶表示装置に関する。

【0002】

【従来の技術】現在、液晶表示装置は形成工程で2枚の基板を貼り合わせる際に、2枚の基板のうちの片側の基板にシール材を塗布し、他方の基板と重ね合わせ、プレス装置で圧力を掛けながらシール材を硬化させる手法がとられている。このとき基板の外周部に強い圧力が掛かりやすいため、外周部の基板間隔が小さくなりやすく、セルギャップ不良に起因する表示不良の原因となることがあった。一方、セルギャップ不良対策として基板全面のスペーサー密度を高くすると、液晶層に真空泡が発生しやすくなるという問題があった。

【0003】

【発明が解決しようとする課題】本発明は、上記問題点に鑑みなされたもので、セルギャップ不良による表示不良を低減し、歩留まりが高く表示性能の良い液晶表示装置を提供することを目的とする。

【0004】

【課題を解決するための手段】本発明の液晶表示装置の構成及び製造方法によれば、基板外周部の表示外領域に高密度で柱状スペーサーを形成する、または表示外領域の柱状スペーサーを太く形成することによって、基板貼り合わせ時に基板の外周部に強い圧力が掛かっても、強い圧力に耐えることができ、外周部のギャップが小さくなることのない。

【0005】

【発明の実施の形態】

（実施例1）以下に本発明の一実施例を図面を用いて詳細に説明する。図1は、本実施例の液晶表示装置の断面図であり、図2はアレイパターンを示す平面図であり、図3は薄膜トランジスタ（TFT：Thin Film Transistor）6部分の拡大断面図である。なお、図1は図2におけるA-A'での断面図である。まず、下側基板であるアレイ基板1と上側基板である対向基板2とが平行に配置され液晶3を挟持し、シール材4によって封着されている。

【0006】まず、アレイ基板1は、厚さ1.1mmのガラス基板5にスイッチング素子としてTFT6（図2、図3）が形成され、そのTFT6に画素電極7が接続されている。そして最上層に配向膜8が形成されている。また、アレイ基板1には、後に対向基板2と貼り合わせたときに対向基板2に形成されている柱状スペーサー13の当たる部分に高さを合わせるためのダミーパターン25が形成されている。

【0007】次に対向基板2は、厚さ1.1mmのガラス基板10上に黒色の遮光層11と遮光層11の間隙にR、G、Bの3色の着色層12（R）、12（G）、12（B）が形成されている。遮光層11は各画素間はマトリクス状に、外周部は幅広の帯状に形成されている。そして、外周部に配された遮光層11の内側を表示領域とし、外周部に配された遮光層11を含みそれより外側を表示外領域とする。表示外領域にはシール材4の外側をも含むこととする。さらに対向基板2には、柱状スペーサー13が表示領域と表示外領域とに作り込まれている。柱状スペーサー13は遮光層11上に形成されており表示外領域に形成されている柱状スペーサー13の本数の密度が表示領域に形成されている柱状スペーサーの本数の密度より高くなっている。さらに、対向基板2には全面に共通電極14が形成されており、そして最上層に配向膜15が形成されている。

【0008】なお、本発明の第1の基板は本実施例中の対向基板2に対応し、同様に第2の基板はアレイ基板1に、第1の透明電極は共通電極14に、第2の透明電極は画素電極7に、それぞれ対応する。

【0009】次に本実施例の液晶表示装置の製造工程を説明する。まず、対向基板2の製造工程を説明する。厚さ1.1mmのガラス基板10上に感光性の黒色樹脂を

スピナー等を用いて塗布し、約90℃で10分乾燥させた後、所定のパターン形状のフォトリソマスクを用いて露光した後、アルカリ性の溶液にて現像を行い、200℃で60分の焼成をして膜厚約2.0μmの遮光層11を形成する。

【0010】次に、赤色の顔料を分散させた紫外線硬化型アクリル樹脂をスピナーにて塗布し、赤を着色したい部分と柱状スペーサー13を形成したい部分とに紫外線が照射されるようなフォトリソマスクを介して紫外線を照射し、例えばKOHの1%水溶液で約10秒間現像し、赤の着色層12（R）と3層構造の柱状スペーサー13の一層を形成する。ここで、後に基板の外周部は切り落とされることになるがその切り落とされる領域にも柱状スペーサー13を形成しておく。（図4参照）こうすることにより、貼り合わせ時にセルギャップ不良を起りにくくなるという効果がある。同様に緑、青についても着色したい部分と柱状スペーサー13を形成したい部分に着色層12（G）、12（B）を繰り返し形成し、それぞれ230℃で60分焼成する。このようにして着色層12（R）、12（G）、12（B）と柱状スペーサー13を形成する。このとき赤、緑、青の着色層12（R）、12（G）、12（B）の膜厚はそれぞれ1.5μmとし、柱状スペーサーの柱の直径は12（R）が10μm、12（G）が13μm、12（B）が16μmで上層ほど太くした。このようにすることによって柱状スペーサー13が逆テーパ状になり、後に共通電極14を基板全面に被覆したときに柱状スペーサー13の側面に共通電極14が付きにくくなるので、電氣的にアレイ基板1と導通する可能性が非常に小さくなる。そして、表示領域は1mm²あたり約30個、表示外領域は1mm²あたり約60個の柱状スペーサーを形成した。このとき柱状スペーサーは13遮光層11の上に形成され、さらに、表示領域に形成された柱状スペーサー13はアレイ基板1と貼り合わせたときにゲート線20、または信号線30の上にくるように配置されており、表示外領域は高さを合わせるためにダミーパターン25の上にくるように配置されている。本実施例での柱状スペーサー13は、表示領域はゲート絶縁膜21と信号線30の上に、表示外領域はゲート線20とゲート絶縁膜21のダミーパターンの上25に載っている。さらに、後のラビング処理で柱状スペーサー13が障害になってラビングの陰の領域ができてしまうので、その陰の部分が遮光層11の領域内でおさまり、表示に影響を及ぼさない位置にくるように柱状スペーサー13の配置を考慮する必要もある。

【0011】本実施例のように着色層12と同時に柱状スペーサー13を形成すれば、スペーサーを形成する工程を1つ減らすことができるが、着色層と同時に形成しなくても、着色層を形成した後に顔料の入っていない樹脂を用いて別に形成してもかまわない。

【0012】その後、共通電極14としてITO (Indium Tin Oxide) 膜をスパッタ法にて1500オングストロームの厚さに形成する。この上に、例えばポリイミドを形成しラビング処理を行って配向膜15を形成し、対向基板2が完成する。

【0013】次にアレイ基板1の製造方法は、厚さ1.1mmのガラス基板5上に成膜とパターニングを繰り返してTFT6を形成する。図3に示すようにMoW (モリブデン・タングステン)、あるいはMoTa (モリブデン・タンタル) 等から成るゲート線20、図示しない補助容量線、及び補助容量線と一体のトランスファ用の引き出し電極を形成し、そのうえにSiO_xをプラズマCVD法により、4000オングストロームの暑さに堆積し、ゲート絶縁膜21を形成する。ここで、後に対向基板2と貼り合わせたときに対向基板2に形成されている柱状スペーサー13が当たる位置に、高さ合わせのためにゲート線20とゲート絶縁膜21とでダミーパターン25を形成しておく。このダミーパターン25はゲート絶縁膜21と信号線30によって形成してもかまわない。

【0014】その上に、a-Si (アモルファスシリコン) から成る半導体層22をプラズマCVD法により形成し所定の形状にパターニングする。さらに、場合によっては図示しないn⁺a-Siオーミックコンタクト層を介して、Mo/Al/Moから成る電極を形成し、所望の形状にパターニングすることによってソース電極23、ドレイン電極24を形成する。

【0015】次に、透明電極であるITOをソース電極23に接触させるようにパターニングして画素電極7を形成する。最後に、ポリイミド等を形成し、ラビング処理を行うことにより配向膜8を形成する。

【0016】この後、対向基板2の配向膜15の周辺に沿って注入口の部分以外にシール材4を印刷する。次にアレイ基板1の配向膜8と、対向基板2の配向膜15がそれぞれ対向し、かつラビング方向が90°の角度をなすように重ね合わせ、加熱することでシール材4を硬化させ、貼り合わせる。

【0017】次に、真空中に空セルを置き、注入口に液晶材料を浸した状態で徐々に真空状態から大気圧に戻すことによって液晶3を注入することができる。そして、基板外周部を切り落として本実施例における所望の液晶表示装置が得られる。

【0018】なお、本実施例はTFTアレイ基板を用いたアクティブマトリクス型液晶表示装置であり、対向基板側に遮光層が形成された構造であるが、本発明は遮光層がアレイ基板上に形成された構造の液晶表示装置にも適用できる。この場合、柱状スペーサーが形成される基板と、遮光層が形成される基板とが異なることもある。

【0019】また、TFTの構造は本実施例のように逆スタガ型のものに限るものでなく、さらには上下基板にス

トライブ状の電極を備えたシンプルマトリクス型液晶表示装置にも適用可能である。

【0020】このように、本実施例は多くの変更及び修正をつけ加えられることは勿論である。

(実施例2) 本実施例は、図5に示すように、実施例1における対向基板2の表示外領域を表示領域に近い側の領域(D1)と表示領域から遠い側の領域(D2)との2つの領域に分割し、柱状スペーサーの本数の密度を、表示領域は1mm²に約30個、D1は1mm²に約45個、D2は1mm²に約60個とした。

【0021】なお、上記のD1、D2のように領域を明確に分けることなく、表示領域から離れていくに従い、徐々に密度を高くしていてもかまわない。他の構成等は実施例1と同様である。

【0022】本実施例によれば、柱状スペーサー13の密度を高くすることで発生し易くなる真空泡を、表示領域の近くに発生させることを防止でき、かつセルギャップ不良をも低減することができる。

【0023】(実施例3) 本実施例は図6に示すように、表示領域と表示外領域とで柱状スペーサー13の体積を変える構造である。液晶表示装置の場合2枚の基板がほぼ平行に配置されているので、柱状スペーサーの体積を変えることが柱状スペーサーの太さを変えることとほぼ同義であるといえる。ただし、柱状スペーサーがテーパ状であったり、太さが途中で変化している柱状スペーサーの場合はこの限りではない。

【0024】本実施例は、表示領域には、柱状スペーサー13を形成する12(R)の直径を約10μm、12(G)の直径を約13μm、12(B)の直径を約16μmの太さとし、表示外領域には12(R)の直径を約20μm、12(G)の直径を約26μm、12(B)の直径を約32μmの太さで形成した柱状スペーサー13を形成した。

【0025】他の構成等は実施例1と同様である

(実施例4) 本実施例は図7に示すように、表示外領域を表示領域に近い側の領域D3と表示領域から遠い側の領域D4とに分割し、表示領域には、柱状スペーサー13を形成する12(R)の直径を約10μm、12

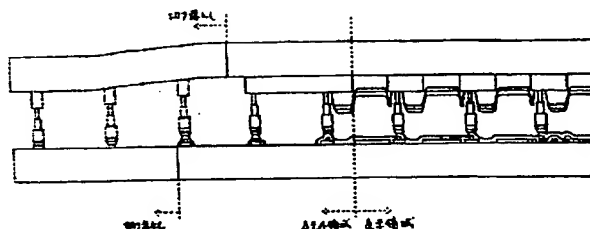
(G)の直径を約13μm、12(B)の直径を約16μmの太さとし、表示外領域のD3には12(R)の直径を約15μm、12(G)の直径を約20μm、12(B)の直径を約24μmの太さで形成した柱状スペーサー13を形成し、表示外領域のD4には12(R)の直径を約20μm、12(G)の直径を約26μm、12(B)の直径を約32μmの太さで形成した柱状スペーサー13を形成した。

【0026】なお、上記のD3、D4のように明確に領域を分割せずに表示領域から遠くに行くに従い徐々に柱状スペーサーの直径を大きくしていてもかまわない。

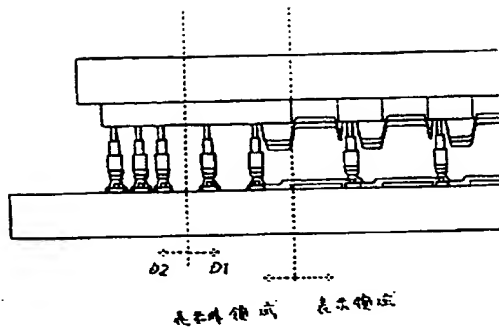
(図8参照) 他の構成等は実施例1と同様である。各実

【図6】 本発明の実施例3における液晶表示装置の断面

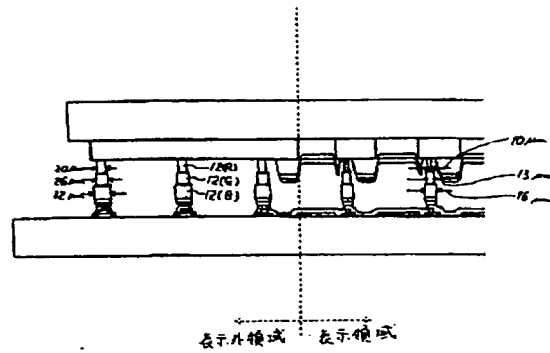
3 0…信号線



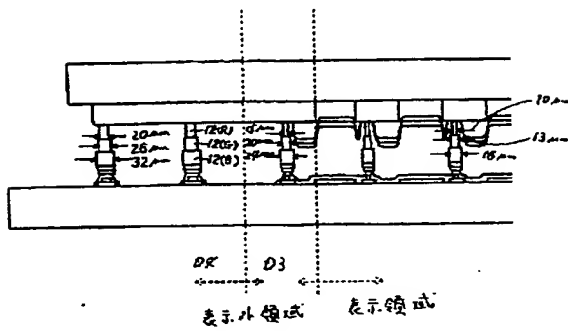
【図5】



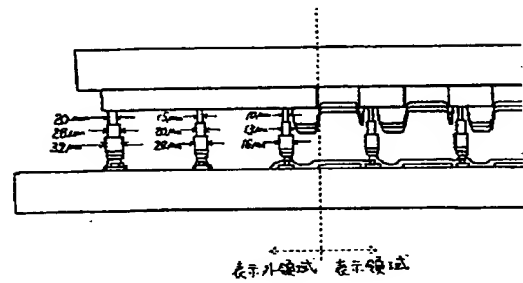
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 倉内 昭一
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 緑川 輝行
神奈川県川崎市川崎区日進町7番地1 東
芝電子エンジニアリング株式会社内

Japanese Patent Laid-Open No.9-73093/1997

Laid-Open Date: March 18, 1997

Application No. 228968/1995

Application Date: September 6, 1995

Applicants: Toshiba Corporation

Title of the Invention: Liquid Crystal Display Device and
Production Method Thereof

[Abstract]

[Object] To solve display defect resulting from cell gap defect
of a liquid crystal display device.

[Constitution] Pillar spacers 13 are disposed in display
outside regions, too. The number of pillar spacers 13 is
increased in the display outside regions. Or the thickness
of the pillar spacers 13 is increased in the display outside
regions. According to this arrangement, a cell gap can be kept
at a suitable gap even when a high pressure is applied to
substrate peripheral portions when an array substrate 1 and
an opposing substrate 2 are bonded, and display defect can be
prevented.

[Claims]

[Claim 1] A liquid crystal display device comprising:

a liquid crystal sandwiched between a first

substrate and a second substrate;

said first substrate including a plurality of pillar spacers for keeping a gap between said first substrate and said second substrate, and a first transparent electrode for applying a voltage to said liquid crystal;

said second substrate including second transparent electrodes for applying a voltage to said liquid crystal;

wherein said liquid crystal display device includes a display outside region around the outer periphery thereof for not executing display and a display region for executing display inside said display outside region, and the density of the number of said pillar spacers formed inside said display outside region is higher than the density of the number of said pillar spacers formed in said display region.

[Claim 2] A liquid crystal display device according to claim 1, wherein the density of the number of said pillar spacers formed in said display outside region becomes progressively higher at portions away from said display region.

[Claim 3] A liquid crystal display device according to claim 1, wherein said display outside region is divided into a plurality of regions in accordance with the distance from said display region, and the density of the number of said pillar spacers in said divided regions becomes progressively higher at portions away from said display region.

[Claim 4] A liquid crystal display device comprising:

a liquid crystal sandwiched between a first substrate and a second substrate;

said first substrate including a plurality of pillar spacers for keeping a gap between said first substrate and said second substrate, and a first transparent electrode for applying a voltage to said liquid crystal;

said second substrate including transparent electrodes for applying a voltage to said liquid crystal;

wherein said liquid crystal display device includes a display outside region for not executing display around the outer periphery thereof and a display region for executing display inside said display outside region, and the volume of said pillar spacers formed in said display outside region is greater than the volume of said pillar spacers formed in said display region.

[Claim 5] A liquid crystal display device according to claim 4, wherein the volume of said pillar spacers formed in said display outside region becomes progressively greater at portions away from said display region.

[Claim 6] A liquid crystal display device according to claim 4, wherein said display outside region is divided into a plurality of regions in accordance with the distance from said display region, and the volume of said pillar spacers in said divided region becomes progressively greater at portions away from said display region.

[Claim 7] A liquid crystal display device according to claim 1 or 4, wherein dummy patterns are formed in the regions in said second substrate corresponding to said pillar spacers.

[Claim 8] A method of producing a liquid crystal display device comprising a liquid crystal sandwiched between a first substrate and a second substrate, said first substrate including a plurality of pillar spacers for keeping a gap between said first substrate and said second substrate and a first transparent electrode, said second substrate including thin film transistors each including a gate line, a gate insulation film and a signal line, and a second transparent electrode; wherein a fabrication process of said second substrate includes the step of forming dummy patterns at portions corresponding to said pillar spacers at a part of the step of fabricating said thin film transistor.

[Claim 9] A method of producing a liquid crystal display device according to claim 8, wherein said step of forming said dummy patterns comprises the step of forming said gate line and the step of forming said gate insulation film.

[Claim 10] A method of producing a liquid crystal display device, wherein said step of forming said dummy patterns comprises the step of forming said gate insulation film and the step of forming said signal line.

[Claim 11] A method of producing a liquid crystal display device comprising a liquid crystal sandwiched between a first

substrate and a second substrate, said first substrate including a plurality of pillar spacers for keeping a gap between said first substrate and a second substrate, and a first transparent electrode; said method comprising the steps of:

forming said pillar spacers on said first substrate;
forming dummy patterns in regions of said second substrate corresponding to said pillar spacers;

bonding said first substrate and said second substrate; and

cutting off said first and second substrates so bonded;

wherein said pillar spacers are formed in the regions of said first substrate that are to be cut off, too, in said step of forming said pillar spacers, and said dummy patterns are formed in the regions corresponding to said pillar spacers formed in the regions to be cut off, too.

[Detailed Description of the Invention]

[0001]

[Field of Industrial Utilization] This invention relates to a liquid crystal display device. More particularly, it relates to a liquid crystal display device having a pillar spacer structure.

[0002]

[Prior Art] Liquid crystal display devices have been fabricated

at present by the process steps which comprise applying a sealant to one of two substrates to be bonded, putting this substrate to the other, and curing the sealant while a pressure is applied thereto by a press apparatus. A strong pressure is likely to be applied in this case to outer peripheral portions of the substrates. Because the gap between the substrates is thus likely to become small at their outer peripheral portions, the cell gap defect occurring this time results in display defect. If the spacer density is increased throughout the entire surfaces of the substrates in order to cope with the cell gap defect, vacuum bubbles are likely to develop in a liquid crystal layer.

[0003]

[Problems to be Solved by the Invention] In view of the problems described above, the present invention contemplates to provide a liquid crystal display device having high production yield and high display performance by reducing display defect that results from cell gap defect.

[0004]

[Means for Solving the Problems] According to the construction of a liquid crystal display device of the present invention and to the production method thereof, pillar spacers are formed in a high density in display outside regions around the outer peripheral portions of substrates. Or the pillar spacers are formed to a large thickness in the display outside regions.

In consequence, even when a high pressure is applied to the outer peripheral portions of the substrates during bonding of the substrates, the liquid crystal display device can withstand such a high pressure, and the gap in the outer peripheral portions does not become small.

[0005]

[Embodiment]

(Embodiment 1) Hereinafter, an embodiment of the present invention will be explained in detail with reference to the drawings. Fig. 1 is a sectional view of the liquid crystal display device according to this embodiment, and Fig. 2 is a plan view showing a layout pattern. Fig. 3 is an enlarged sectional view of a portion of a thin film transistor (TFT) 6. Incidentally, Fig. 1 is a sectional view taken along a line A-A in Fig. 2. First, a liquid crystal 3 is sandwiched between an array substrate 1 as a lower substrate and an opposing substrate 2 as an upper substrate that are disposed in parallel with each other. The liquid crystal 3 is sealed by a sealant 4.

[0006] In the array substrate 1, TFTs 6 (see Figs. 2 and 3) as switching devices are fabricated on a glass substrate 5 having a thickness of 1.1 mm, and pixel electrodes 7 are connected to the TFTs 6. An orientation film 8 is formed as the uppermost layer. Dummy patterns 25 for adjusting the height are formed at positions of the array substrate 1

corresponding to later-appearing pillar spacers 13 that are to be formed on the opposing substrate 2 when both substrates 1 and 2 are later bonded.

[0007] In the opposing substrate 2, black screen layers 11 are formed on a 1.1 mm-thick glass substrate 10, and three colored layers 12(R), 12(G) and 12(B) of R, G and B are formed in the gaps between the screen layers 11. The screen layer 11 is formed into a matrix between the pixels and into a wide belt shape around the outer peripheral portion. The inside of the screen layer 11 disposed at the outer peripheral portion is used as a display region, and a region that is inclusive of the screen layer 11 disposed at the outer peripheral portion and is outside the screen layer 11 is used as a display outside region. The display outside region also includes the outside of the sealant 4. The pillar spacers 13 are fabricated in the opposing substrate 2 both in the display region and the display outside region. The pillar spacers 13 are fabricated on the screen layer 11. The density of the number of pillar spacers formed in the display outside region is higher than the density of the number of pillar spacers 13 formed in the display region. A common electrode 14 is formed on the entire surface of the opposing substrate 2, and an orientation film 15 is formed on the uppermost layer.

[0008] Incidentally, the first substrate in the present invention corresponds to the opposing substrate 2 in this

embodiment and the second substrate does to the array substrate 1. The first transparent electrode corresponds to the common electrode 24 and the second transparent electrode, to the pixel electrode 7.

[0009] Next, the production process of the liquid crystal display device in this embodiment will be explained. First, explanation will be given on the production process of the opposing electrode 2. A photosensitive black resin is applied to the 1.1 mm-thick glass substrate 10 using a spinner, or the like. After the resin is dried at about 90°C for 10 minutes, it is exposed with a photoresist having a predetermined pattern as a mask. Development is then conducted using an alkaline solution, and firing is conducted at 200°C for 60 minutes, yielding an about 2.0 μm -thick screen layer 11.

[0010] Next, a UV-curing type acrylic resin containing a red pigment dispersed therein is applied using a spinner. Ultraviolet rays are then radiated through a photomask so that they can be radiated to the portions which are to be colored in red and the portions at which the pillar spacers 13 are to be formed. Development is effected for about 10 seconds using a 1% aqueous solution of KOH, for example, forming the red colored layer 12(R) and one layer of the three-layered pillar spacer 13. The outer peripheral portion of the substrates is to be cut off later, but the pillar spacers 13 are formed in the cut-off region, too (see Fig. 4). This arrangement makes

the cell gap defect to occur more sparingly when the substrates are bonded. Similarly, colored layers 12(G) and 12(B) are formed repeatedly at the portions which are to be colored in green and blue, respectively, and at the portions at which the pillar spacers 13 are to be formed. These colored layers 12(G) and 12(B) are fired at 230°C for 60 minutes. In this way are formed the colored layers 12(R), 12(G), 12(B) and the pillar spacers 13. At this time, the film thickness of each of the red, green and blue colored layers 12(R), 12(G) and 12(B) is 1.5 μm . The diameter of the pillar spacer is 10 μm for 12(R), 13 μm for 12(G) and 16 μm for 12(B). In other words, the diameter becomes greater towards the top, and the pillar spacer 13 has an inverted taper shape. When the common electrode 14 is later applied to cover the entire surface of the substrate, the common electrode 14 does not easily adhere to the side surface of the pillar spacer 13 with the result that the possibility of its electrical conduction with the array substrate 1 becomes extremely small. About 30 pillar spacers/ mm^2 are formed in the display region and about 60 pillar/ mm^2 are formed in the display outside region. At this time, the pillar spacers 13 are formed on the screen layer 11. The pillar spacers 13 formed in the display region are arranged in such a fashion that when they are bonded to the array substrate 1, they exist over gate lines 20 or signal lines 30, and that the display outside region exists over dummy patterns

25 for adjustment of the height. The pillar spacers 13 in this embodiment exist over the gate insulating film 21 and the signal lines 30 in the display region and are placed on the dummy pattern 25 of the gate lines 20 and the gate insulating film 21 in the display outside region. Furthermore, the pillar spacers 13 will function as a barrier during a subsequent rubbing treatment and will define a shade region of rubbing. Therefore, the pillar spacers 13 must be arranged so that the shade portion does not exceed the region of the screen layer 11 and does not either exert adverse influences on display. [0011] When the colored layers 12 are formed simultaneously with the pillar spacers 13 as in this embodiment, the number of process steps, that is, the steps for forming the spacers, can be reduced by one. However, the pillar spacers 13 need not always be formed simultaneously, but they may be formed separately by using a resin not containing the pigment after the colored layer is formed.

[0012] Thereafter, an ITO (Indium Tin Oxide) film is sputtered to a film thickness of 1,500 angstroms. Polyimide, for example, is applied to this ITO film and a rubbing treatment is conducted to form the orientation film 15. The opposing substrate 2 is thus completed.

[0013] Next, the production method of the array substrate 1 will be explained. TFT 6 is formed on a 1.1 mm-thick glass substrate 5 by repeating film formation and patterning. Gate

lines 20 made of MoW (Molybdenum Tungsten) or MoTa (Molybdenum Tantalum), auxiliary capacitance lines not shown in the drawings, and extension electrodes for transfer, that are integral with the auxiliary capacitance lines, are formed as shown in Fig. 3. SiO_x is deposited to a thickness of 4,000 angstroms by plasma CVD, forming the gate insulation film 21. Here, a dummy pattern 25 is formed by the gate lines 20 and the gate insulation film 21 for the purpose of height adjustment at positions where the pillar spacers 13, provided to the opposing substrate 2, strike when the array substrate 1 is bonded to the opposing substrate 2. This dummy pattern 25 may be formed of the gate insulation film 21 and the signal line 30.

[0014] Next, a semiconductor layer 22 made of a-Si (amorphous silicon) is formed by plasma CVD and is then patterned into a predetermined shape. An electrode made of Mo/Al/Mo is formed in some cases through an n⁺-a-Si ohmic contact layer, and is then patterned into desired shapes to form the source electrode 23 and the drain electrode 24.

[0015] ITO as the transparent electrode is patterned in such a fashion as to come into contact with the source electrode 23, forming each pixel electrode 7. Finally, polyimide or the like is applied and the rubbing treatment is conducted to give the orientation film 8.

[0016] The sealant 4 is printed along the periphery of the

orientation film 15 of the opposing electrode 2 in such a manner as to leave the portion of an injection port. Then, the array substrate 1 and the opposing substrate 2 are put one upon another so that the orientation film 8 of the array substrate 1 and the orientation film 15 of the opposing substrate 2 oppose each other and the rubbing direction defines an angle of 90 degrees. Heating is conducted so as to cure the sealant 4 and to bond both substrates.

[0017] Next, an empty cell is placed inside vacuum, and vacuum is gradually returned to the atmospheric pressure while the injection port is immersed in a liquid crystal material. In this way, the liquid crystal 3 can be charged. The outer peripheral portion of the substrates is cut off, and a desired liquid crystal device in this embodiment can be obtained.

[0018] This embodiment represents an active matrix type liquid crystal display device using the TFT array substrate, and the screen layer is formed on the side of the opposing substrate. However, this embodiment can also be applied to a liquid crystal display device having a structure in which the screen layer is formed on the array substrate. In this case, the substrate on which the pillar spacers are formed and the substrate on which the screen layer is formed may be different.

[0019] The TFT structure need not always be limited to the reserve stagger type that is used in this embodiment. Furthermore, the present invention can be applied to a simple

matrix type liquid crystal display device equipped with stripe electrodes on both upper and lower substrates.

[0020] Needless to say, other various changes and modifications can be made for this embodiment.

(Embodiment 2) In this embodiment, the display outside region of the opposing substrate 2 in the embodiment 1 is divided into a region (D1) close to the display region and a region (D2) apart from the display region as shown in Fig. 5. The density of the number of pillar spacers is set to about 30 pcs/mm² in the display region, about 45 pcs/mm² in D1 and about 60 pcs/mm² in D2.

[0021] Incidentally, it is also possible to progressively increase the density at portions away from the display region instead of clearly dividing the region into D1 and D2 as described above. The rest of the constructions are the same as those of the embodiment 1.

[0022] This embodiment can prevent the occurrence of vacuum bubbles, that are more likely to occur when the density of the pillar spacers 13 becomes higher, from occurring in the proximity of the display region, and can also reduce the cell gap defect.

[0023] (Embodiment 3) This embodiment changes the volume of the pillar spacers 13 between the display region and the display outside region as shown in Fig. 6. Since the two substrates are arranged substantially parallel to each other in the liquid

crystal display device, the change of the volume of the pillar spacers has substantially the same meaning as the change of its thickness. However, this does not hold true of the case where the pillar spacer has a taper shape or when its thickness changes at its intermediate portion.

[0024] In this embodiment, the diameter of the pillar spacer 13 is set to about 10 μm for 12(R), about 13 μm for 12(G) and about 16 μm for 12(B) in the display region, and is about 20 μm for 12(R), about 26 μm for 12(G) and about 32 μm for 12(B) in the display outside region.

[0025] The rest of the instructions are the same as those of the embodiment 1.

(Fourth Embodiment) In this fourth embodiment, the display outside region is divided into a region D3 close to the display region and a region D4 apart from the display region as shown in Fig. 7. Furthermore, the diameter of the pillar spacer 13 is set to about 10 μm for 12(R), about 13 μm for 12(G) and about 16 μm for 12(B) in the display region, is set to about 15 μm for 12(R), about 20 μm for 12(G) and about 24 μm for 12(B) in the display outside region D3, and is set to about 20 μm for 12(R), about 26 μm for 12(G) and about 32 μm for 12(B) in the display outside region D4.

[0026] Incidentally, the diameter of the pillar spacers may be progressively increased at portions away from the display region without clearly dividing the region into the regions

D3 and D4 (see Fig. 8). The rest of the constructions are the same as those of the embodiment 1. Each of the foregoing embodiments can variously be changed or modified as seen in such as a structure in which the screen layer is formed on the array substrate, likewise in the embodiment 1.

[0027]

[Effect of the Invention] The present invention can improve the drop of the production yield resulting from the cell gap defect that occurs during bonding of the substrates, and can economically provide the liquid crystal display device having high display performance.

[Brief Description of the Drawings]

[Fig. 1] Fig. 1 is a sectional view of the liquid crystal display device in the embodiment 1 of the present invention.

[Fig. 2] Fig. 2 is a plan view showing the array pattern of the liquid crystal display device according to the embodiment of the present invention.

[Fig. 3] Fig. 3 is an enlarged sectional view showing the structure of a thin film transistor of the liquid crystal device in the embodiment of the present invention.

[Fig. 4] Fig. 4 is a sectional view of the liquid crystal display device in the embodiment of the present invention, and shows the pillar spacers and the dummy patterns formed in the region of the substrate outer periphery portion that is to be cut off.

[Fig. 5] Fig. 5 is a sectional view of the liquid crystal display

device in the embodiment 2 of the present invention.

[Fig. 6] Fig. 6 is a sectional view of the liquid crystal display device in the embodiment 3 of the present invention.

[Fig. 7] Fig. 7 is a sectional view of the liquid crystal display device in the embodiment 4 of the present invention.

[Fig. 8] Fig. 8 is a sectional view of the liquid crystal display device in a modified embodiment of the embodiment 4 of the present invention.

[Description of Reference Numerals]

- 1: array substrate
- 2: opposing substrate
- 3: sealant
- 4: liquid crystal
- 5, 10: glass substrate
- 6: thin film transistor
- 7: pixel electrode
- 8, 15: orientation film
- 11: screen layer
- 12(R), 12(G), 12(B): colored layer
- 13: pillar spacer
- 14: common electrode
- 20: gate line
- 21: gate insulation film
- 25: dummy pattern
- 30: signal line.